

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-294146  
 (43)Date of publication of application : 11.11.1997

(51)Int.Cl.

H04L 27/22  
 H03G 3/20

(21)Application number : 08-105230

(71)Applicant : SONY CORP

(22)Date of filing : 25.04.1996

(72)Inventor : YAMAGUCHI TAKESHI

## (54) AUTOMATIC GAIN CONTROL CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce level fluctuation and an error by comparing a mean value of an input signal with a reference value, a maximum value and a minimum value so as to classify the input signal into five ranks, and adjusting and correcting a gain signal accordingly so as to reduce a gain control time with a small scale circuit.

**SOLUTION:** I, Q components of a phase detection circuit are given to an input signal level arithmetic circuit 1, in which an input signal level of a demodulation section is calculated. Then an averaging circuit 2 is used to obtain a mean value and to eliminate the instantaneous effect of noise included in the reception signal and the result is given to a comparator circuit 3, where the mean value is compared with a reference value, a maximum value and a minimum value to classify the input signal into five ranks. An integration control circuit 4 executes the processing corresponding to them to an integration circuit 6 and provides an output of an automatic gain signal AGC to a variable amplifier. The reception level of five ranks 1-5 classified by the comparator circuit 3 corresponds to the reference value, the maximum value and the minimum value, which are used to apply adjustment and correction to a gain signal. Thus, the gain control time is reduced to reduce level fluctuation and error.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-294146

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/22			H 0 4 L 27/22	Z
H 0 3 G 3/20			H 0 3 G 3/20	C

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-105230

(22) 出願日 平成8年(1996)4月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山口 猛史

大分県東国東郡国東町大字小原3319番地の

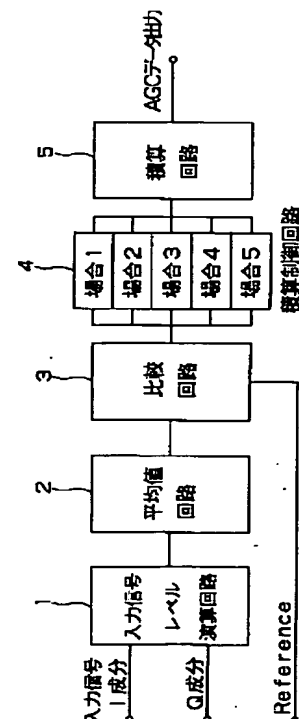
2 ソニー大分株式会社内

(54) 【発明の名称】 自動利得制御回路

(57) 【要約】

【課題】 比較的小さな回路規模で、利得の制御に要する時間が短く、かつ利得制御終了後のレベル変動が少ない A G C 回路の提供を課題とする。

【解決手段】 Q P S K 受信装置復調部の復調データ成分から入力信号レベルを演算する入力信号レベル演算手段 1 と、入力信号レベル演算手段 1 の出力を平均する平均手段 2 と、平均手段 2 の出力を基準値、最大値および最小値と比較する比較手段 3 と、比較手段 3 の比較結果に応じて、可変増幅回路の利得設定値の可変幅を、平均手段 2 の出力が最大値に等しい場合および最小値に等しいかそれよりも小さい場合には大きく、それ以外の場合には小さく設定する利得可変幅設定手段 4 と、利得可変幅設定手段 4 の設定した可変幅を前回設定した利得設定値に積算して出力する利得設定手段 5 とを設ける。



**【特許請求の範囲】**

**【請求項1】** QPSK受信装置に用いられ、可変増幅回路の利得を可変して利得制御を行う自動利得制御回路において、

QPSK受信装置復調部の復調データ成分から入力信号レベルを演算する入力信号レベル演算手段と、前記入力信号レベル演算手段の出力を平均する平均手段と、前記平均手段の出力を基準値、最大値および最小値と比較する比較手段と、

前記比較手段の比較結果に応じて前記可変増幅回路の利得設定値の可変幅を設定する利得可変幅設定手段と、前記利得可変幅設定手段の設定した前記可変幅を前回設定した利得設定値に積算して出力する利得設定手段とを具備することを特徴とする自動利得制御回路。

**【請求項2】** 前記利得可変幅設定手段は前記平均手段の出力が最大値に等しい場合および最小値に等しいかそれよりも小さい場合には可変幅を大きく取るようにし、それ以外の場合には可変幅を小さくすることを特徴とする請求項1記載の自動利得制御回路。

**【請求項3】** 前記入力信号レベル演算手段、前記平均手段、前記比較手段、前記利得可変幅設定手段および前記利得設定手段をデジタル回路で構成することを特徴とする請求項1または請求項2記載の自動利得制御回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】**本発明は、自動利得制御回路（以下AGC回路で表わす）に関し、特にデジタル衛星放送受信システム、デジタル無線電話システム等におけるQPSK（Quadrature Phase Shift Keying）受信装置の復調部に用いられるAGC回路に関する。

**【0002】**

**【従来の技術】**QPSKは4つの位相点を取り得る変調方式で衛星通信や、携帯電話等に用いられる。QPSKでは2値のデジタル符号2ビットをまとめて、例えば0相に（00）、 $\pi/2$ 相に（01）、 $\pi$ 相に（10）、 $3\pi/2$ 相に（11）を割り振るようにする。したがって、一定の帯域幅で伝送できる情報量がBPSK（Binary Phase Shift Keying）の2倍となる。

**【0003】**ところで、QPSKでは伝送すべきシンボル毎に位相が急激に変化するため、そのまま伝送するとすると、出力スペクトルが広がってしまう。これを防いで狭帯域な出力スペクトルを実現し、かつ受信側で符号間干渉を発生しないようにするために、送受総合の伝送特性を送受フィルタに等分に分配したルートナイキストフィルタの組み合わせであるいわゆるロールオフフィルタを送信側と受信側に設けるようにしている。これによって、周波数利用効率をアナログ伝送と同等以上にすることができる。

**【0004】**送信側のロールオフフィルタを経たQPSKの出力波形はその振幅が大きく変動する。このため、QPSK受信装置では、QPSK信号を振幅変調されたアナログ信号として正確に受信する必要がある。しかし、高周波の無線信号の伝送品質や受信電界強度は天候や地理的位置や干渉波の影響などの外的条件によって大きく影響を受けることが多く、常に安定したレベルでの受信は期待できない場合が多い。したがって、QPSK変調されたデータを正確に復調するためには、受信される信号に対して飽和やダイナミックレンジの不足が生じないように、入力信号が常に一定のレベルで復調回路に入力される必要があり、安定したレベルを保つ機能が必要になってくる。

**【0005】**このような機能を果たす回路として、従来はアナログ的な利得調整回路が用いられていた。しかし、従来のアナログ的な利得調整回路は回路規模が比較的大きく、発振や雑音を防止するための手段や調整が必要になるなどの不都合が多かった。

**【0006】**一方、デジタル的に利得調整を行うと回路規模は小さくできるが、コントロールステップ（1回で行う利得可変の幅）が問題になってくる。デジタル的な利得調整では、通常、受信信号のレベルが基準値よりも大きい場合には利得を1ステップ減らし、受信信号のレベルが基準値よりも小さい場合には利得を1ステップ上げて利得調整を行うのが普通である。このようにコントロールステップが一定の場合に、入力レベルが入力レベルの最大値、あるいは最小値に張り付いている場合には、この1ステップの値が小さいと利得を制御するに要する時間がかかり過ぎてしまう。

**【0007】**図4は、1ステップの値が小さい場合の、デジタル的な利得調整による入力レベルの最大値、あるいは最小値から基準値に至るまでのレベルの変化の推移を示した図である。一方、この1ステップの値が大きすぎると入力レベルの最大値、あるいは最小値から基準値に達するまでの時間は短くなるが、基準値に達してからのレベル変動に対する応答が極端になって、基準値と入力レベルとの差が小さくなったときのレベルが不安定になってしまう。図5は、1ステップの値が大きい場合の、デジタル的な利得調整による入力レベルの最大値、あるいは最小値から基準値に至るまでのレベルの変化の推移とその後のレベルの変化の推移を示した図である。図4および図5から、利得を制御するに要する時間を短くし、かつ安定にレベルを維持するためには、利得を調整するコントロールステップの設定が難しいことが分かる。

**【0008】**

**【発明が解決しようとする課題】**上述のごとく、従来のQPSK受信装置のAGC回路において、回路をアナログ的に構成した場合は回路が高価で大きな規模になりやすいという欠点があり、また、デジタル的に構成する

場合は、コントロールステップが問題になるという欠点があった。

【0009】本発明はこの点を解決して、比較的回路規模の小さいデジタル方式でAGC回路を構成しながら、利得を制御するに要する時間を短縮でき、かつ利得制御終了後にはレベル変動を少なくできるQPSK受信装置用のAGC回路の実現を課題とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明は、QPSK受信装置に用いられ、可変増幅回路の利得を可変して利得制御を行う自動利得制御回路において、QPSK受信装置復調部の復調データ成分から入力信号レベルを演算する入力信号レベル演算手段と、入力信号レベル演算手段の出力を平均する平均手段と、平均手段の出力を基準値、最大値および最小値と比較する比較手段と、比較手段の比較結果に応じて、可変増幅回路の利得設定値の可変幅を、平均手段の出力が最大値に等しい場合および最小値に等しいかそれよりも小さい場合には大きく、それ以外の場合には小さく設定する利得可変幅設定手段と、利得可変幅設定手段の設定した可変幅を前回設定した利得設定値に積算して出力する利得設定手段とを具備することを特徴とする。

【0011】これにより、比較的小さな回路規模で構成しながら、利得の制御に要する時間を短縮でき、かつ利得制御終了後にはレベル変動を少なくできるAGC回路を提供することができる。

【0012】

【発明の実施の形態】以下、本発明にかかるAGC回路を添付図面を参照にして詳細に説明する。図1は、本発明のAGC回路のブロック図である。図1中、1はデータ入力成分のI(Inphase)成分およびQ(Quadrature)成分から( $I^2 + Q^2$ )を演算して入力信号レベルを求める入力信号レベル演算回路、2は入力信号レベル演算回路1の出力を一定時間に亘って加算した後、加算回数で割り算を行って平均値を求める平均値回路、3は平均値回路2の出力である入力信号レベルの平均値を基準値(Reference)と比較する比較回路、4は比較回路3の出力に応じて次段の積算回路5の積算値の加減を行う積算制御回路、5は積算制御ブロック4のからの加減値を前回の保持内容と積算して新たに保持する積算回路である。

【0013】図2は、図1に示す本発明のAGC回路が使用される遅延検波方式のQPSK受信装置の一例のブロック図である。図2で、11はアンテナ、12はチューナ回路、13は可変増幅器、14は1シンボル遅延回路、15、17は位相検波回路、16は $\pi/2$ 移相回路、18、19は識別回路、20は並直列変換回路、21は出力回路、22はクロック再生回路、23は本発明のAGC回路である。14～20の回路でQPSK復調部30を構成する。

【0014】このQPSK受信装置の動作を、図2にそって説明する。アンテナ11で受信された無線周波信号は、チューナ回路12でベースバンド信号に変換される。チューナ回路12出力のベースバンド信号は可変増幅器13を経てQPSK復調部30に入力される。QPSK復調部30では、1シンボル間の受信波の位相差を求め、この位相差をもとに送信位相差を推定して送信された2ビットデータに復調する。このように基準信号に1シンボル前の受信波そのものを用いているため、理想的な同期検波よりも誤り率特性が劣化するものの、フェージングによる位相変動の影響を受けにくい。

【0015】すなわち、QPSK復調部30では、現在の受信波と1シンボル前の受信波から位相検波回路15で位相検波を行った結果をQ成分とする。また、現在の受信波と1シンボル前の受信波を $\pi/2$ 移相したのから位相検波回路17で位相検波を行った結果をI成分とする。そうして、それぞれの成分を識別回路18、19でそれぞれ判定して+1または-1のいずれかに識別し、これらの識別結果をもとに並直列変換回路20で2ビットのシリアル信号を順次作成し、出力回路21を経て出力する。

【0016】出力回路21では、対象が音声信号の場合は、得られたデジタル信号をアナログ信号に変換し、スピーカ等から出力させる。クロック再生回路22は受信波に含まれる基準信号から基準周波信号を再生する。AGC回路23はQ成分とI成分からQPSK復調部30入力信号レベルを求めて可変増幅器13の利得を調整し、QPSK復調部30の入力信号レベルの安定化を図っている。

【0017】次にAGC回路23の動作を図1にそって説明する。移相検波回路17の出力であるI成分と、移相検波回路15の出力であるQ成分は入力信号レベル演算回路1に入力され、入力信号レベル演算回路1では復調部入力信号レベルに相当する( $I^2 + Q^2$ )が演算される。入力信号レベル演算回路1の出力は、平均化回路2で、まず積算されたのち、積算回数で割り算されて平均レベル相当の平均値が求められる。平均化回路2での積算回数は通常2のべき乗に設定される。これにより割り算は積算結果の2進数を桁シフトすることで実現することができる。このような平均化によって、受信信号に含まれる瞬間的な雑音の影響を除去することができる。

【0018】平均化回路2で求められた平均値は比較回路3で基準値、最大値および最小値と比較される。ここでは仮に平均化回路2の出力( $I^2 + Q^2$ )<sub>me</sub>は8ビット(0～255)であるとする。この比較回路3での基準値との比較から、復調部入力信号レベルを以下に述べる5段階に分類する。また、積算制御回路4はそれに対応した処理を積算回路6に対して実行する。積算回路5は外部の可変増幅器13に対し利得信号を出力する。ここでは仮に積算回路6は8ビット(0～255)の利得

信号を可変増幅器13に送るものとする。

【0019】比較回路3が分類する5段階と、それに対

場合1	$(I^2 + Q^2)_{me} = \text{最大値}$ (255)	利得信号-16
場合2	$(I^2 + Q^2)_{me} \leq \text{ある設定された最小値}$	利得信号+16
場合3	$(I^2 + Q^2)_{me} > \text{基準値}$	利得信号-1
場合4	$(I^2 + Q^2)_{me} < \text{基準値}$	利得信号+1
場合5	$(I^2 + Q^2)_{me} = \text{基準値}$	利得信号±0

【0020】すなわち、場合1は、受信レベルが大きく可変増幅器13を飽和させており、復調部入力信号レベルも大きく平均化回路2の出力 $(I^2 + Q^2)_{me}$ が255の場合で、この場合は積算制御回路4は積算回路5の保持する前回の利得信号から16を減算させる。

【0021】場合2は、復調部入力信号レベルが小さく、平均化回路2の出力 $(I^2 + Q^2)_{me}$ はある設定された最小値、例えば1とか2とかよりも小さい値を示している場合で、この場合は積算制御回路4は積算回路5の保持する前回の利得信号に16を加算させる。

【0022】場合3は、平均化回路2の出力 $(I^2 + Q^2)_{me}$ が復調部入力信号レベルの基準値として設定された値よりも大きかった場合で、この場合は積算制御回路4は積算回路5の保持する前回の利得信号から1を減算させる。

【0023】場合4は、平均化回路2の出力 $(I^2 + Q^2)_{me}$ が復調部入力信号レベルの基準値として設定された値よりも小さかった場合で、この場合は積算制御回路4は積算回路5の保持する前回の利得信号に1を加算させる。

【0024】場合5は、平均化回路2の出力 $(I^2 + Q^2)_{me}$ が復調部入力信号レベルの基準値として設定された値に等しかった場合で、この場合は積算制御回路4は積算回路5の保持する前回の利得信号をそのまま保持させる。

【0025】このように比較回路3の分類する条件に応じたいずれかの処理が前回の利得信号に加えられてそれが今回の利得信号とされる。

【0026】図3は、本発明にしたがった場合の、デジタル的な利得調整による入力レベルの最大値、あるいは最小値から基準値に至るまでのレベルの変化の推移を示した図である。この図から分かるように本発明によれば、復調部入力信号レベルが最大値または最小値に張り付いている状態の時は、AGC回路は急速に可変増幅回路の利得を変化させる。したがって、張り付いた状態を解消するに要する時間は短縮される。

【0027】また、復調部入力信号レベルが最大値または最小値から離れた場合には、AGC回路は可変増幅回路の利得の変化幅を小さくする。したがって、復調部入力信号レベルの変動はこの小さい変化幅内で安定する。

【0028】このように、1回の制御の可変幅、すなわちコントロールステップを変化させることにより、比較的回路規模の小さいデジタル方式でAGC回路を構成

応する積算制御回路4の処理をあげると以下のようになる。

しながら、利得を制御するに要する時間を短縮でき、かつ利得制御終了後にはレベル変動を少なくすることができる。

【0029】以上の説明では、本発明を遅延検波方式のQPSK受信装置のAGC回路に用いた場合について説明してきたが、本発明の適用はこのようなQPSK受信装置のAGC回路に限られるものではなく、デジタル的に利得制御が行われるあらゆる装置に対して利用が可能である。また平均化回路の出力や積算回路から出力される利得信号は8ビットとして説明したがその他のビット数であっても同様に用いることができることはいうまでもない。

【0030】

【発明の効果】以上説明したように本発明では、QPSK受信装置に用いられる自動利得制御回路において、QPSK受信装置復調部の復調データ成分から入力信号レベルを演算する入力信号レベル演算手段と、入力信号レベル演算手段の出力を平均する平均手段と、平均手段の出力を基準値、最大値および最小値と比較する比較手段と、比較手段の比較結果に応じて可変増幅回路の利得設定値の可変幅を設定する利得可変幅設定手段と、利得可変幅設定手段の設定した可変幅を前回設定した利得設定値に積算して出力する利得設定手段とを設けるようにした。そうして、利得制御手段は可変増幅回路が飽和している状態や可変増幅回路の出力がほとんど0である状態等では可変幅を大きく取るようにし、その他の場合には比較的可変幅を小さくするようにする。また、回路はデジタル回路で構成するようにする。このように、1回の制御の可変幅、すなわちコントロールステップを条件に応じて変化させることにより、比較的回路規模の小さいデジタル方式でAGC回路を構成しながら、利得を制御するに要する時間を短縮でき、かつ利得制御終了後にはレベル変動を少なくし、誤りが少なく安定した受信を実現することができる。

【図面の簡単な説明】

【図1】本発明のAGC回路の一実施形態のブロック図。

【図2】本発明のAGC回路が使用されるQPSK受信装置のブロック図。

【図3】本発明のAGC回路の利得調整によるレベルの変化の推移を示す説明図。

【図4】従来のAGC回路の利得調整によるレベルの変化の推移を示す説明図（利得可変幅が小さい時）。

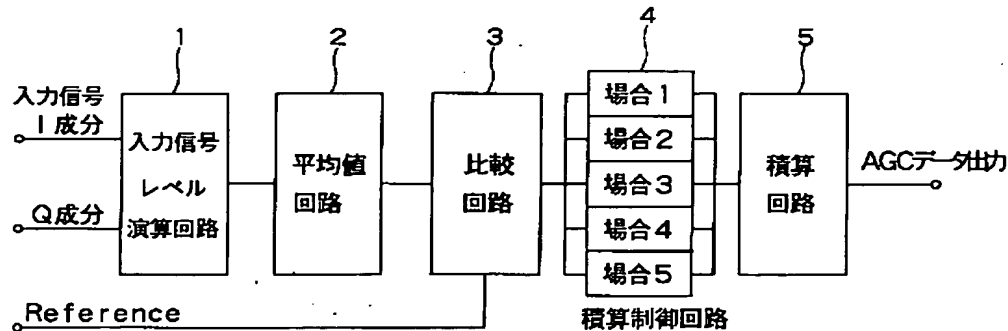
【図5】従来のAGC回路の利得調整によるレベルの変化の推移を示す説明図（利得可変幅が大きい時）。

【符号の説明】

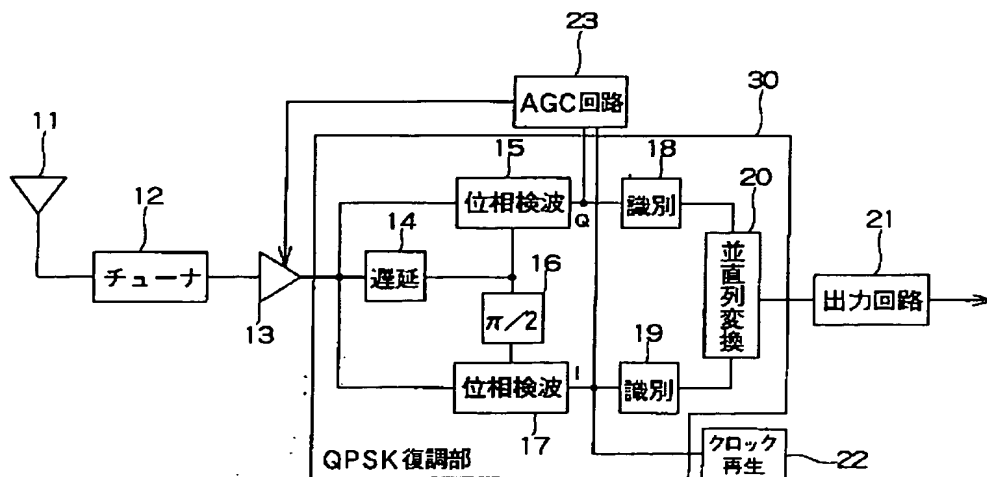
1……入力信号レベル演算回路、2……平均値回路、3……比較回路、4……積算制御回路、5……積算回路、11……アンテナ、12……チューナ回路、13……可

変増幅器、14……1シンボル遅延回路、15、17……位相検波回路、16…… $\pi/2$ 移相回路、18、19……識別回路、20……並直列変換回路、21……出力回路、22……クロック再生回路、23……AGC回路、30……QPSK復調部。

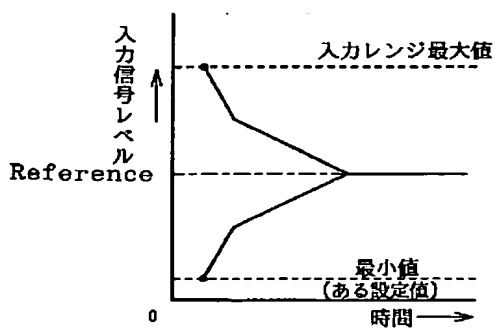
【図1】



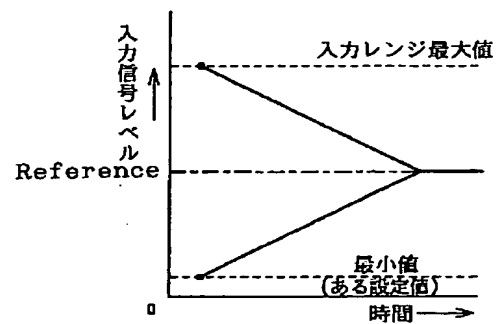
【図2】



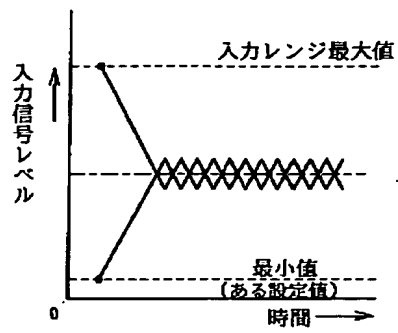
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**